

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091290

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 21/304  
H01L 21/28  
H01L 29/78  
H01L 21/336

(21)Application number : 10-255108

(71)Applicant : NEC CORP

(22)Date of filing : 09.09.1998

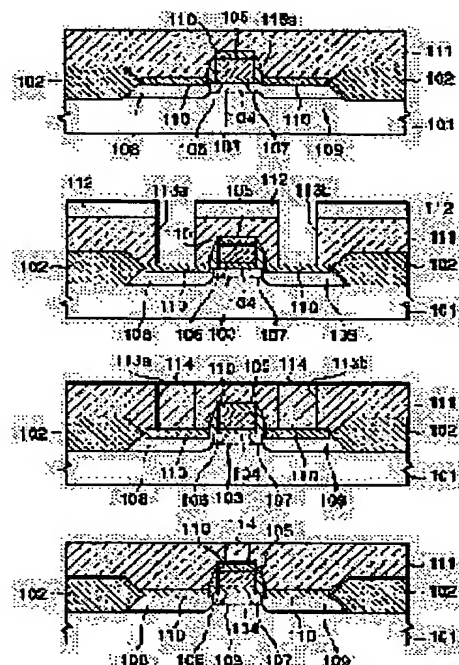
(72)Inventor : WAKE TOMOKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent metal contamination by cleaning the surface of a gate electrode with cleaning liquid to which chelating agent which forms complex with metal constituting silicide is added.

**SOLUTION:** An element isolating region constituted of an insulating film is formed on a silicon substrate 101. A gate electrode 105 containing a silicide 110 is formed on a specified region surrounded by the element isolating region. A source region 108 and a drain region 109 are formed by implanting impurities. An interlayer film 111 is formed on the gate electrode 105 the source region 108 and the drain region 109. Contact holes 113a, 113b which reach the gate electrode 105 are formed in the interlayer film 111. The surface of the gate electrode 105 is cleaned with cleaning liquid to which chelating agent which forms complex with metal constituting the silicide 110 is added.



## LEGAL STATUS

[Date of request for examination]

09.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3006596

[Date of registration]

26.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91290

(P2000-91290A)

(43) 公開日 平成12年3月31日 (2000.3.31)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I            | テマート* (参考)        |
|---------------------------|-------|----------------|-------------------|
| H 0 1 L 21/304            | 6 4 7 | H 0 1 L 21/304 | 6 4 7 A 4 M 1 0 4 |
|                           | 6 4 1 |                | 6 4 1 5 F 0 4 0   |
| 21/28                     | 3 0 1 | 21/28          | 3 0 1 D           |
| 29/78                     |       | 29/78          | 3 0 1 Y           |
| 21/336                    |       |                |                   |

審査請求 有 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平10-255108

(22) 出願日 平成10年9月9日 (1998.9.9)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 和氣 智子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 4M104 AA01 BB01 BB20 BB21 CC01

DD08 DD22 DD31 DD32 DD46

DD64 DD80 DD84 FF13 FF14

FF21 GG09 GG14 GG16 HH20

5F040 DB01 DC01 EA08 EA09 EC01

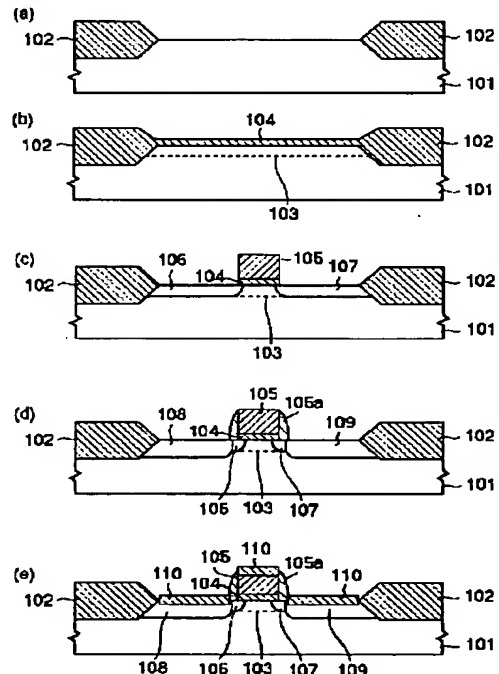
EC07 EC13 EF02 EH02 FC19

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 金属汚染なくシリサイドの表面を洗浄する半導体装置の製造方法を提供する。

【解決手段】 ゲート電極上部、ソース／ドレイン上に、シリコンとコバルトの合金からなるシリサイド層を形成する。次に、層間膜を形成した後、層間膜のソース／ドレイン上の領域の所定位置に、コンタクトホールを形成する。次に、レジストパターンをSPM洗浄、EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄によりを順次行って除去する。ついで、コンタクトホール底部に露出しているシリサイド層表面をEDTAあるいはその塩を含むキレート剤を添加したAPM洗浄、希弗酸の洗浄を順次行う。次に、露出しているシリサイド層上に選択的にポリシリコンを堆積して、コンタクトホール内を埋め込むようにプラグを形成する。



## 【特許請求の範囲】

【請求項 1】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にシリサイドを含むゲート電極成する工程と、不純物を注入してソース領域とドレイン領域を形成する工程と、前記ゲート電極および、前記ソース領域と前記ドレイン領域上に層間膜を形成する工程と、前記層間膜に前記ゲート電極まで達するコンタクトホールを開く工程と、前記シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液により前記ゲート電極の表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にゲート電極成する工程と、不純物を注入してソース領域とドレイン領域を形成する工程と、前記ソース領域と前記ドレイン領域の表面をシリサイド化する工程と、前記ゲート電極および、前記ソース領域と前記ドレイン領域上に層間膜を形成する工程と、前記層間膜に前記シリサイド化した前記ソース領域と前記ドレイン領域まで達するコンタクトホールを開く工程と、前記シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液により前記シリサイドの表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または請求項 2 記載の半導体装置の製造方法においてシリサイド化する工程は、前記ゲート電極または前記ソース領域とドレイン領域上にコバルトを堆積する工程と、前記コバルトを加熱処理してシリサイド化する工程とからなることを特徴とする半導体装置の製造方法。

【請求項 4】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にゲートポリシリコンからなるゲート電極およびソース・ドレインを形成する工程と、前記ゲート電極および前記ソース・ドレインの表面にシリサイドを形成して素子を形成する工程と、前記素子上に層間膜を形成する工程と、前記層間膜に前記シリサイドまで達するコンタクトホールを開く工程と、前記シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液により前記シリサイドの表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記シリサイドは、コバルトシリサイド、またはニッケルシリサイドであることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至請求項 5 のいずれかに記載の半導体装置の製造方法において前記素子分離領域形成後、またはゲート電極形成後、前記洗浄液で洗浄する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至請求項 6 のいずれかに記載の半導体装置の製造方法において前記洗浄液はアンモニア過酸化水素混合液であることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至請求項 7 のいずれかに記載の半導体装置の製造方法において前記キレート剤はアミノポリカルボン酸類、ホスホン酸類、カルボン酸類、縮合リン酸類、ジケトン類、アミン類、及びハロゲン化物イオン、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオンから選ばれた無機イオン等の化合物、またはこれらのアンモニウム塩であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 乃至請求項 8 のいずれかに記載の半導体装置の製造方法において、キレート剤としてエチレンジアミン四酢酸 (EDTA) あるいはその塩を使用し、アンモニア過酸化水素混合液に対する前記 EDTA の濃度は 250 ppm ~ 10000 ppm の範囲であることを特徴とする半導体装置の製造方法。

【請求項 10】 エチレンジアミン四酢酸 (EDTA) あるいはその塩を含むキレート剤を添加したアンモニア過酸化水素混合液を用いて、コバルトシリサイドが露出したシリコン基板表面を洗浄することを特徴とする半導体装置の製造方法。

【請求項 11】 シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液を入れた洗浄槽を有し、シリコン基板上に絶縁膜からなる素子分離領域を形成した後に洗浄液で洗浄する洗浄槽、または、前記素子分離領域に囲まれた所定の領域にゲート電極を形成した後に洗浄液で洗浄する洗浄槽を、前記ゲート電極またはソース・ドレインの表面にシリサイドを形成して層間膜を堆積し、コンタクトホールを開いた後に洗浄液で洗浄する前記洗浄槽と同一にしたことを特徴とする半導体装置の製造装置。

【請求項 12】 請求項 11 記載の半導体装置の製造装置において、前記シリサイドは、コバルトシリサイド、またはニッケルシリサイドであることを特徴とする半導体装置の製造装置。

【請求項 13】 請求項 11 または請求項 6 に記載の半導体装置の製造装置において前記洗浄液はアンモニア過酸化水素混合液であることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 11 乃至請求項 13 のいずれかに記載の半導体装置の製造装置において、前記キレート剤はアミノポリカルボン酸類、ホスホン酸類、カルボン酸類、縮合リン酸類、ジケトン類、アミン類、及びハロゲン化物イオン、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオンから選ばれた無機イオン等の化合物、またはこれらのアンモニウム塩であることを特徴とする半導体装置の製造装置。

【請求項 15】 請求項 11 乃至請求項 14 のいずれか

に記載の半導体装置の製造装置において、キレート剤としてエチレンジアミン四酢酸(EDTA)あるいはその塩を使用し、アンモニア-過酸化水素混合液に対する前記EDTAの濃度は250ppm~10000ppmの範囲であることを特徴とする半導体装置の製造装置。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、メモリ回路とロジック回路を同一シリコン基板上に形成した半導体装置の製造方法およびその製造装置に関し、特にシリサイドの表面を良好に洗浄する工程を有する半導体装置の製造方法およびその製造装置に関するものである。

#### 【0002】

【従来の技術】近年、半導体装置のコンパクト化を図り、また集積回路の動作高速性を追求するため、データを記憶するDRAMメモリ回路と、DRAMメモリに記憶されたデータを演算処理するCPUやロジック回路とを同一半導体基板上に形成するDRAM-ロジック混載LSI技術の開発が盛んになっている。それは、DRAMメモリ回路とロジック回路を同一半導体基板上に形成することにより、配線の長さを短くすることができ、動作周波数を高くすることができるとともに、二つの半導体装置を集積することにより全体としてコンパクトにできるからである。

【0003】このようなDRAMメモリーロジック混載LSIは、グラフィック処理性能が高いので、画像処理用のグラフィックアクセラレータ等に適用分野が広がっている。

【0004】ところで、一般に、DRAMメモリ回路とロジック回路の製造工程は大きく異なっている。例えば、DRAMメモリ回路内のメモリセル同士を接続する配線とロジック回路内のロジック回路を構成するトランジスタ同士を接続する配線とは、その構造が異なっている。

【0005】ロジック回路は、高速動作のために、第1の配線(最下層の配線)から低抵抗のアルミニウム又はアルミニウム合金を用いている。一方、DRAMメモリ回路は、セル構造が、ビット線より上部に容量電荷蓄積部を形成する構造、すなわちCOB構造(Cell Over Bit line)の場合、第1の配線(ビット線)は、ポリシリコン層とその上に成膜されたタンゲステンシリサイド(WSi)層の積層構造である。これは、ビット線より上にDRAMメモリセルの容量電荷蓄積部を形成するプロセスにおいて、700~800℃の熱が加わるため、融点が660℃のアルミニウムを使うことができないから、耐熱性と低抵抗性を重視してWSiを選択しているからである。

【0006】従って、DRAMメモリ回路とロジック回路とを同一半導体基板上に形成するDRAM-ロジック混載LSIでは、DRAMメモリ部の配線構造は、WS

i層を含む積層構造の第1の配線、次いで容量電荷蓄積部を形成し、容量電荷蓄積部の上の配線にはアルミニウム合金を使っている。

【0007】さらに、DRAMメモリ回路やロジック回路を構成するトランジスタにおいても、従来よりコンタクト抵抗を下げるためや、ポリシリコンからなるゲート電極やソース・ドレインの低抵抗化などの目的のために、シリコンと金属の合金であるシリサイドが用いられている。例えば、ソース・ドレイン形成領域表面にシリサイドを形成し、ソース電極およびドレイン電極との接触抵抗やソースおよびドレインの層抵抗を低減するようにしている。

【0008】以下、そのシリサイドを用いたMOSFETの製造方法に関して、簡単に説明する。

【0009】図6と図7は、DRAMメモリ回路やロジック回路を構成するトランジスタの製造工程順の断面図を示す。

【0010】まず、図6(a)に示すように、シリコン基板601上にフィールド酸化膜602を形成し、フィールド酸化膜602により区画された素子形成領域のシリコン基板601表面を露出させる。次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域603を形成し、ついで、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、ついで、トランジスタ素子形成領域のシリコン基板表面をアンモニア-過酸化水素水(APM)(第1洗浄工程)、硫酸-過酸化水素混合液(SPM)洗浄を順次行い、シリコン基板表面の不純物を除去する。

【0011】図6(b)に示すように、ゲート絶縁膜604を形成する。

【0012】次いで、CVD法によりポリシリコンを堆積する。このとき、このポリシリコンに導電性を持たせるために、P(リン)を $10^{20}\text{cm}^{-3}$ 程度添加するようにしてもよい。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、HBrやClなどのガスを用いたドライエッチングにより、ポリシリコンを選択的に除去し、図6(c)に示すように、ゲート電極605を形成する。ここでも、アンモニア-過酸化水素水(APM)で洗浄(第2洗浄工程)を行い、ゲート電極605とソース・ドレイン形成予定領域606、607表面の不純物を除去する。加えて、このゲート電極605をマスクとしてP(リン)をイオン注入することで、低濃度領域606、607を形成する。

【0013】次に、ゲート電極605を含むシリコン基板601上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで除去するなどにより、図6(d)に示すように、ゲート電極605側壁にサイドウォール605aを形成する。加えて、ゲート電極605および

サイドウォール605aをマスクとしてAs（ヒ素）をイオン注入することにより、LDD構造のMOSFETがほぼ形成されるが、この後、次に示すように、トランジスタに接続する配線を形成するようにしている。

【0014】次に、ゲート電極605、サイドウォール605aを含むシリコン基板601上にチタン（Ti）を堆積して加熱処理し、シリコン面とチタンが接触している箇所をシリサイド化し、絶縁膜上などの未反応のチタンを除去し、この後で再度加熱処理する。この結果、図6（e）に示すように、ゲート電極605上部およびソース608および609上に、シリサイド層610が形成された状態が得られる。

【0015】次に、図7（f）に示すように、酸化シリコンからなる層間膜611を形成する。

【0016】次に、図7（g）に示すように、レジストパターン612をマスクとしたドライエッチングにより、その層間膜611のソース608およびドレイン609上の領域の所定位置に、コンタクトホール613a、613bを形成する。

【0017】次に、レジストパターン612をSPM洗浄、APM洗浄（第3洗浄工程）を順次行って除去した後、コンタクトホール613a、613b底部に露出しているシリサイド層610表面をAPM、希弗酸などにより洗浄する。

【0018】そして、図7（h）に示すように、露出しているシリサイド層610上に選択的にリングがドーパされたポリシリコンを堆積することで、コンタクトホール613a、613b内を埋め込むようにプラグ614を形成する。また、図7（i）に示すように、他の領域において、ゲート電極605上にもシリサイド層610に接続するプラグ614を形成する。

【0019】この後、図示していないが、プラグ614に接続し、例えば、タングステンシリサイドなどからなる各配線、例えば、ソース電極配線やドレイン電極配線などを形成すればよい。

【0020】通常、メモリ回路では、前記ゲート電極はワード線として使用され、ロジック回路では、インバータの入力として使用される。また、メモリ回路では、図7（i）に示す工程の後には図示していないが、ビット線が、ゲート電極605、610と同様に、ポリシリコン層とポリシリコン層上に積層されたWSi層との積層構造として形成され、層間膜611を貫通するコンタクトホール613aを埋め込んで形成したコンタクトプラグ614を介して、基板601の拡散層608に接続されている。

【0021】DRAMの容量素子は、メモリセルアレイ部のビット線の間を通して、層間膜611及びこの上に形成した層間膜を貫通するコンタクトホールを埋め込んで形成されたコンタクトプラグ（不図示）を介して基板601の拡散層609に接続されている。

【0022】ロジック回路は、ゲート電極605上にメモリセルアレイ部の層間膜611上に第1層間膜と第2層間膜（不図示）とを備え、アルミニウム合金で形成された金属配線を第2層間膜上に有する。金属配線は、第2層間膜、第1層間膜、及び層間膜611を貫通するコンタクトホールを埋め込んだコンタクトプラグを介して、基板601の拡散層に接続されている。このとき、ソース・ドレインの表面がシリサイド化されていないと、コンタクトホール数を増やして、ソース・ドレインの拡散層抵抗を下げる必要がある。逆に、ソース・ドレインの表面がシリサイド化されていると、コンタクトホール数を増やさなくても、ソース・ドレインの拡散層抵抗を下げることができ、ロジック回路の動作を高速化することができる。

【0023】

【発明が解決しようとする課題】近年、半導体装置の微細化はめざましいものがあり、ゲート長は0.2μm以下が要求されている。さらに、CPUやゲートアレイなどのロジック回路では、配線にかかわる抵抗を小さくして高速化を図ることが求められている。

【0024】しかし、チタンシリサイドはDRAM容量素子を形成するときの熱で凝縮がおこり、このグレインの境界に高抵抗が存在するため、チタンシリサイドの配線抵抗が大きくなるという問題がある。特に、ゲート長が狭くなり、チタンシリサイドのグレインサイズと同じくらいになると、シリサイド化して低抵抗化した意味がなくなる。また、ゲート電極をシリサイド化する別の手段として、タングステンシリサイド（WSi）が広く用いられている。WSiは耐熱性はあるものの、電気抵抗が70μΩcmと大きいので、WSiの膜厚を100nm程度に厚くする必要がある。しかしながら、タングステンシリサイドをポリシリコン上にスパッタ法で形成し、これをパターニングしてゲート電極を形成する方法では、ソース拡散層とドレイン拡散層上にタングステンシリサイドを自己整合的に形成することができない。また、前述のように、サイドウォール形成後、タングステンを堆積して加熱処理する方法では、ソース拡散層とドレイン拡散層上にシリサイドを形成できるが、微細化したときには、拡散層の深さも浅くしなければならず、タングステンシリサイドを厚く形成することができない。WSiを薄くすると、タングステンシリサイドの厚さが不均一になり、ソース・ドレインの抵抗値を下げるのが困難であるという問題がある。

【0025】この課題を解決する方法として、コバルトシリサイド（CoSi<sub>2</sub>）電気抵抗が18〜30μΩcmと小さいので、膜厚を10nm程度に薄く形成することができる。また、DRAM容量素子形成工程で加熱処理をおこなっても、グレインが形成されることがないので、配線抵抗が増加することがない。

【0026】しかしながら、ゲートやソース・ドレイン上にコバルトシリサイドを形成すると、次のような問題が生ずる。

【0027】トランジスタの耐圧やリークなどの特性を向上するため、第1洗浄工程として、ゲート絶縁膜を形成する前にAPM洗浄を行い、第2洗浄工程として、ゲート電極をパターニングした後もAPM洗浄を行っていた。また、コンタクト抵抗の低減のため、第3洗浄工程として、コンタクトホールを開口し、レジスト剥離工程において硫酸一過酸化水素混合液（SPM）の洗浄後、露出しているシリサイド層上に選択的にドーパされたポリシリコンを堆積する前にエッチング堆積物などのパーティクル除去のためアンモニア一過酸化水素水（APM）の洗浄を行う必要がある。このとき、コバルトシリサイド（ $\text{CoSi}_2$ ）に対してAPM洗浄を行った場合には、わずかではあるがコバルトシリサイドがエッチングされるため、薬液中にコバルト（Co）が溶出する。

【0028】従来のようにチタンやタンゲステンはAPM液中に溶出しても、シリコン基板表面に付着することはほとんどなかったが、Coが溶出しているAPM液中においては、シリコン基板表面にCoが付着しやすい。この結果、ゲート酸化膜形成前（図6（a））の洗浄（第1洗浄工程）をCoが溶出してしまった洗浄槽で行うとゲート酸化膜の耐圧が劣化したり、ゲートをパターニングした後の（図6（c））の洗浄（第2洗浄工程）を同様な洗浄槽で行うと、ゲート酸化膜の側面にCoが付着し、ゲートドレイン間のリークが増大したり、ソース・ドレイン表面に付着したCoが熱拡散してトランジスタの特性を劣化させるなど大きな問題となっていた。

【0029】これを解決するため、例えば、コンタクトホールの底部に $\text{CoSi}_2$ が露出しているシリコン基板を洗浄する洗浄槽と他のシリコン基板を洗浄する洗浄槽とを分離して使用したり、洗浄槽内の薬液を新しい薬液に交換する直前に $\text{CoSi}_2$ が露出しているシリコン基板の洗浄を行っていた。このことは、ある一つの半導体装置においても様々な工程で洗浄工程が存在するため、大量の半導体装置を同一ラインの工場で量産する場合においては、洗浄装置台数の増大、それに伴う洗浄装置スペースの増大、洗浄薬液使用量の増大およびAPM洗浄液を加熱するヒーター等エネルギーコストの増大を招き深刻な問題となっていた。

【0030】そのため、微量なCo汚染が問題となる例えばゲート酸化工程前の洗浄をCoが溶出したAPM洗浄液槽で行っても、シリコン基板表面へのCo付着が生じない薬液への要求が高まっている。

【0031】また、半導体装置の高集積化が進み、1つの半導体装置にメモリやCPU、ゲートアレイなどを搭載した製品が出現しつつある。一般に、DRAMのよう

なメモリ回路では、容量素子や各電極領域でのリーク電流を抑制することが重要であるのに対して、CPUやゲートアレイなどのロジック回路では、前述のように配線にかかわる抵抗を小さくして高速化を図ることが重要である。しかし、半導体装置の構成要素を微細化するに伴い、これらの2つの課題を両立させることは、技術的に益々難しくなっている。

【0032】本発明は、以上のような問題を解決し、要求に答えるためになされたものであり、第1の目的は、特性の優れたメモリとロジックを1つの半導体装置に混載するための製造方法を提供することである。

【0033】第2の目的は、シリコン基板上に形成されたシリサイドの表面を洗浄する半導体装置の製造方法に関して、金属汚染のない洗浄方法を提供することである。

【0034】第3の目的は、洗浄槽を増やすことなく、複数の洗浄工程を共用する方法および半導体装置の製造装置を提供することである。

【0035】  
【課題を解決するための手段】上記課題を解決するために、本発明による半導体装置の製造方法は、シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、素子分離領域に囲まれた所定の領域にシリサイドを含むゲート電極成する工程と、不純物を注入してソース領域とドレイン領域を形成する工程と、ゲート電極および、ソース領域とドレイン領域上に層間膜を形成する工程と、層間膜にゲート電極まで達するコンタクトホールを開口する工程と、シリサイドを構成する金属と鋳体を形成するキレート剤を添加した洗浄液によりゲート電極の表面を洗浄する工程とを備えたことを特徴としている。

【0036】また、本発明による半導体装置の製造方法は、シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、素子分離領域に囲まれた所定の領域にゲート電極成する工程と、不純物を注入してソース領域とドレイン領域を形成する工程と、ソース領域とドレイン領域の表面をシリサイド化する工程と、ゲート電極および、ソース領域とドレイン領域上に層間膜を形成する工程と、層間膜に前記シリサイド化したソース領域とドレイン領域まで達するコンタクトホールを開口する工程と、シリサイドを構成する金属と鋳体を形成するキレート剤を添加した洗浄液により前記シリサイドの表面を洗浄する工程とを備えたことを特徴としている。

【0037】さらに、本発明による半導体装置の製造方法は、シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、素子分離領域に囲まれた所定の領域にゲートポリシリコンからなるゲート電極およびソース・ドレインを形成する工程と、ゲート電極および前記ソース・ドレインの表面にシリサイドを形成して素子を形成する工程と、素子上に層間膜を形成する工程と、層間膜にシリサイドまで達するコンタクトホールを開口する工

程と、シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液によりシリサイドの表面を洗浄する工程とを備えたことを特徴としている。

【0038】またこのシリサイドは、コバルトシリサイド、またはニッケルシリサイドであり、洗浄液はアンモニア-過酸化水素混合液であり、キレート剤はアミノポリカルボン酸類、ホスホン酸類、カルボン酸類、縮合リン酸類、ジケトン類、アミン類、及びハロゲン化物イオン、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオンから選ばれた無機イオン等の化合物、またはこれらのアンモニウム塩であることを特徴とする。

【0039】さらに、本発明による半導体装置の製造装置は、シリコン基板上に絶縁膜からなる素子分離領域を形成した後に洗浄液で洗浄する洗浄槽、または、素子分離領域に囲まれた所定の領域にゲート電極を形成した後に洗浄液で洗浄する洗浄槽をゲート電極またはソース・ドレインの表面にシリサイドを形成して層間膜を堆積し、コンタクトホールを開口した後に洗浄液で洗浄する洗浄槽と同一にしたことを特徴とする。

【0040】

【発明の実施の形態】以下にこの発明の実施の形態を図を参照して説明する。

【0041】（実施形態1）図1は、この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0042】まず、図1（a）に示すように、シリコン基板101上にフィールド酸化膜102を形成し、フィールド酸化膜102により区画された素子形成領域のシリコン基板101表面を露出させる。次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域103を形成し、ついで、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、ついで、エチレンジアミン四酢酸（EDTA）あるいはその塩を含むキレート剤を添加したアンモニア-過酸化水素混合液（APM）洗浄、硫酸-過酸化水素混合液（SPM）洗浄（第1洗浄工程）を順次行う。ここで、APMを構成するアンモニア：過酸化水素：水の体積比率は、0.25：1：5とした。

【0043】一般に、シリコン基板101の表面にゴミや金属などが付着していると、ゲート酸化膜の長期信頼性などトランジスタの特性に悪影響を及ぼす。EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄を行うことにより、洗浄液中に含まれるCoを含む金属が基板表面に付着することを防止することができる。この結果、後工程（第3洗浄工程）でコバルトシリサイドが露出した基板をこの洗浄槽で洗浄し、その後再び同一の薬液槽で第1洗浄工程を行っても、シリコン基板表面の金属汚染を低減することができる。

【0044】次いで、図1（b）に示すように、ゲート

絶縁膜104を形成し、CVD法によりポリシリコンを堆積する。このとき、このポリシリコンに導電性を持たせるために、P（リン）を $10^{20} \text{ cm}^{-3}$ 程度添加するようにしてもよい。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、HBrやClなどのガスを用いたドライエッチングにより、ポリシリコンを選択的に除去し、図1（c）に示すように、ゲート電極105を形成する。加えて、このゲート電極105をマスクとしてP（リン）をイオン注入することで、低濃度領域106、107を形成する。このとき同時に、ゲート電極105にもリンが導入されることになる。ついで、EDTAあるいはその塩を含むキレート剤を添加したアンモニア-過酸化水素混合液（APM）などで洗浄（第2洗浄工程）を行う。この洗浄は、ゲート絶縁膜104の側面に付着しているCoなどを含む金属を除去して、ゲート耐圧の低下を防止したり、ソース・ドレイン形成予定領域の表面に付着しているゴミや金属などを除去して、後工程の熱処理で金属が熱拡散するのを防止する。

【0045】次に、ゲート電極105を含むシリコン基板101上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで除去するなどにより、図1（d）に示すように、ゲート電極105側壁にサイドウォール105aを形成する。加えて、ゲート電極105およびサイドウォール105aをマスクとしてAs（ヒ素）をイオン注入することにより、ソース108およびドレイン109を形成する。

【0046】ついで、ゲート電極105、サイドウォール105aを含むシリコン基板101上に膜厚15nm程度にコバルト膜を堆積する。続いて、これらを例えば500～600℃程度に加熱（RTA：Rapid Thermal Annealing）処理する。この処理により、シリコン面とコバルトとが接触している箇所においてシリサイド化が起こる。続いて、絶縁膜上などの未反応のコバルトを、例えば、塩酸と過酸化水素の混合液によるウェットエッチングで除去する。この後で、前述の熱処理以上の温度でRTA処理をする。この結果、図1（e）に示すように、ゲート電極105上部およびソース108およびドレイン109上に、シリコンとコバルトの合金からなるシリサイド層110が、膜厚40～50nm程度に形成された状態が得られる。

【0047】次に、図2（f）に示すように、酸化シリコンからなる層間膜111を形成する。

【0048】ついで、図2（g）に示すように、レジストパターン112をマスクとしたドライエッチングにより、その層間膜111のソース108およびドレイン109上の領域の所定位置に、コンタクトホール113a、113bを形成する。

【0049】次に、レジストパターン112をSPM洗浄、EDTAあるいはその塩を含むキレート剤を添加し



たAPM洗浄を順次行って除去した後、コンタクトホール113a、113b底部に露出しているシリサイド層110表面をEDTAあるいはその塩を含むキレート剤を添加したAPM洗浄(第3洗浄工程)、希弗酸の洗浄を順次行う。ここでの洗浄は、エッチング時に生ずる堆積物を除去し、コンタクト抵抗を低減するためである。このとき、基板底部には $\text{CoSi}_2$ が露出しているの

【0050】ついで、図2(h)に示すように、露出しているシリサイド層110上に選択的に例えばリングがドープされたポリシリコンを堆積することで、コンタクトホール113a、113b内を埋め込むようにプラグ114を形成する。また、図2(i)に示すように他の領域において、ゲート電極105にもシリサイド層110に接続するプラグ114を形成する。

【0051】この後、図示していないが、従来と同様にタングステンシリサイドなどからなる各配線(ビット線等)が一方のプラグ114に接続されたり、DRAMの容量素子が形成されて他方のプラグ114に接続されたりする。さらに、その上層に層間膜やアルミニウムなどの金属配線配線などが形成される。

【0052】以上の説明では、キレート剤は、EDTAあるいはその塩を含むとして説明したが、これに限定されるものではなく、Coなどシリサイドを構成する金属と錯体を形成するものであればよい。例えば、エチレンジアミン四酢酸[EDTA]、トランス-1,2-ジアミノシクロヘキサン四酢酸[CyDTA]等のアミノポリカルボン酸類、エチレンジアミンテトラ(メチレンホスホン酸)[EDTPO]、エチレンジアミンジ(メチレンホスホン酸)[EDDPO]、ニトリロトリス(メチレンホスホン酸)[NTPO]、1-ヒドロキシエチリデン-1,1'-ジホスホン酸[HEDPO]等のホスホン酸類、トリポリリン酸、ヘキサメタリン酸等の縮合リン酸類、アセチルアセトン、ヘキサフルオロアセチルアセトン等のジケトン類、エチレンジアミン、トリエタノールアミン等のアミン類、またはハロゲン化物イオン

( $\text{F}^-$ 、 $\text{Cl}^-$ 、 $\text{Br}^-$ 、 $\text{I}^-$ )、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオン、アンモニウムイオン等の無機イオン等の化合物、またはこれらのアンモニウム塩が挙げられる。本発明に係るキレート剤は、単独で使用しても、また、2種以上適宜組合せて用いてもよい。

【0053】以上示したように、この実施の形態1によれば、ゲート酸化膜の形成前の洗浄(第1洗浄工程)と、 $\text{CoSi}_2$ がコンタクトホール底部に露出した後のレジスト剥離工程や選択的にリングがドープされたポリシリコンを堆積する前の洗浄(第3洗浄工程)とを、EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄とした。この結果、コバルト付着が抑制でき、クロ

ス汚染を大幅に低減することができる。

【0054】図3(a)にAPM液中のCo濃度とシリコン基板表面へのCo付着量( $\text{atoms}/\text{cm}^2$ )との関係を示す。ここで、DL(Detection Limit)はシリコン基板表面のCo付着量を測定したICP-MASの定量下限を示しており、また、ref(Reference)は、実験に用いたシリコン表面に元々付着しているCo付着量を示している。これから、 $2 \times 10^9$ ( $\text{atoms}/\text{cm}^2$ )程度の値がDL、refの場合に得られているため、refの結果はこの測定における定量下限値である。●で示しているAPMにEDTAを添加しない場合には、APM液中のCo濃度が1ppb以上になるとシリコン基板表面へのCo付着が見え始め、APM液中のCo濃度に比例してCo付着量が増加していることがわかる。ゲート酸化膜の形成前のAPM洗浄において、ウエハ表面のCo付着量が $1 \times 10^{10}$ ( $\text{atoms}/\text{cm}^2$ )以上になるとゲート耐圧劣化が見られることがわかっているため、例えば、APM液中のCo濃度がおよそ5ppbを越えた状態で洗浄を行うとゲート耐圧劣化が生じて問題となることがわかる。一方、▲で示しているAPMにEDTAを500ppm添加した場合には、ウエハ表面のCo付着量が抑制され、APM液中のCo濃度が100ppb程度と高濃度になってもCo付着量が抑制されることがわかる。このようにAPMにEDTAを添加することで、ウエハ表面のCo付着量を大幅に抑制できることがわかる。

【0055】図3(b)にウエハ表面のCo付着量とAPM液中のEDTA濃度の関係を示す。

【0056】ここで、APM液中のCo濃度は1000ppbである。図3(b)から、APM液中のEDTA濃度を増やすことにより、ウエハ表面のCo付着量を低減できることがわかる。ゲート酸化工程前のシリコン基板を洗浄する洗浄槽と、コバルトが溶出するシリコン基板を洗浄する洗浄槽とを共用することを考えると250~10000ppm程度が最適なAPM液中のEDTA濃度であることがわかる。EDTA濃度が250ppmより低濃度の場合には、APMにEDTAを添加していない場合に比べてCoの付着量は低減できるが、Coの付着量が $1 \times 10^{10}$ ( $\text{atoms}/\text{cm}^2$ )以上となってしまう。そのため、この場合はゲート酸化工程前のシリコン基板を洗浄する洗浄槽として用いることは困難であり、 $\text{CoSi}_2$ が露出した基板を洗浄した槽との共用は難しいことがわかる。一方、10000ppm(図示せず)よりも高濃度のEDTA濃度をAPM洗浄液に添加する場合には、EDTA自体がシリコン基板表面に残留してしまい、ゲート酸化膜の耐圧劣化を引き起こすことが懸念されるためである。

【0057】なお、上記結果は、APM液中のCo濃度が1000ppbの場合を示したが、この濃度を10



0ppbに抑えることができれば、APM液中のEDTA濃度を25~1000ppm程度にすることができ、また、上述ではコバルトのシリサイドを形成するようにしているが、これに限るものではなく、他の高融点金属のシリサイドでもよく、例えば、ニッケルのシリサイドを形成するようにしても同様の効果が得られる。

【0058】以上説明したように、シリサイドを構成する金属と錯体を形成するキレート剤(EDTA)を添加した洗浄液(APM)を使用することで、 $\text{CoSi}_2$ が露出した状態で洗浄する第3洗浄工程の洗浄槽を、第1または第2洗浄工程の洗浄槽と共用しても、シリサイドを構成する金属がシリコン基板やソース・ドレインの表面に付着したり、ゲート絶縁膜の側面に付着することを防止できるので、トランジスタの特性を劣化させることがない。また、洗浄液を交換するまでの使用回数を増やすことができるので、薬液使用量を低減できる。さらに、同一の洗浄槽で第1~第3洗浄工程を処理できるので、洗浄装置の設置スペースを増大させることがない。また、洗浄液を加熱するヒーターの数も少なくなるので、エネルギーコストを低減できる。この結果、メモリ回路とロジック回路とを同一の半導体装置に搭載しても、ロジック回路は高速動作が実現でき、メモリ回路は不純物の付着を低減できるので低リーク特性を維持できる。さらに、DRAMの容量素子を形成するとき加熱処理をしても、 $\text{CoSi}_2$ の抵抗値に変化が生じないので、動作速度を維持できる。また、 $\text{CoSi}_2$ の電気抵抗が小さいので、ソース・ドレイン上のシリサイドを薄くしても、 $\text{WSi}$ と同程度の抵抗値を得ることができる。このため、トランジスタを微細化しても、ソース・ドレインの拡散層を浅く形成することができるので、トランジスタの実行チャネル長を確保することができる。

【0059】(実施形態2)以下、この発明の第2の実施の形態における半導体装置の製造方法に関して説明する。

【0060】第1の実施の形態では、ゲート電極とソース・ドレイン領域上にCoを堆積して、同時にシリサイド化する例を示したが、第2の実施の形態では、ゲート電極とソース・ドレイン領域とを別々にシリサイド化する例を示す。

【0061】図4は、この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0062】まず、図4(a)に示すように、シリコン基板401上にフィールド酸化膜402を形成し、フィールド酸化膜402により区画された素子形成領域のシリコン基板401表面を露出させる。

【0063】次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域403を形成し、ついで、その露出した表面に形成された自然酸化膜を、希硫酸などの酸を用いた洗浄などにより除去した後、ついで、EDTAあるいはその塩を含むキレート剤

を添加したAPM洗浄(第1洗浄工程)、SPM洗浄を順次行い、図4(b)に示すように、ゲート絶縁膜404を形成する。この場合、EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄を行っているのは、後工程のコバルトシリサイド、タングステンシリサイドが露出した基板を洗浄する際にも同一の薬液槽を用いるためである。

【0064】次いで、CVD法によりP(リン)が $10^{20}\text{cm}^{-3}$ 程度添加されたポリシリコンを堆積し、引き続いてこの上にタングステンシリサイドを堆積する。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、ドライエッチングにより、ポリシリコン405aおよびタングステンシリサイド405bを選択的に除去し、図4(c)に示すように、ポリシリコン405aおよびタングステンシリサイド405bからなるゲート電極405を形成する。ここでも、EDTAあるいはその塩を含むキレート剤を添加したAPMで洗浄(第2洗浄工程)を行う。加えて、このゲート電極405をマスクとしてP(リン)をイオン注入することで、低濃度領域406、407を形成する。なお、タングステンシリサイドに限るものではなく、他の高融点金属のシリサイドを用いるようにしても同様である。

【0065】次に、ゲート電極405を含むシリコン基板401上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで除去するなどにより、図4(d)に示すように、ゲート電極405側壁にサイドウォール405cを形成する。加えて、ゲート電極405およびサイドウォール405cをマスクとしてAs(ヒ素)をイオン注入することで、ソース408およびドレイン409を形成する。ついで、ゲート電極405、サイドウォール405cを含むシリコン基板401上に膜厚15nm程度にコバルト膜を堆積する。続いて、これらを例えば500~600℃程度に加熱(RTA: Rapid Thermal Annealing)処理する。この処理により、シリコン面とコバルトとが接触している箇所においてシリサイド化が起こる。続いて、絶縁膜上などの未反応のコバルトを、例えば、塩酸と過酸化水素の混合液によるウェットエッチングで除去する。この後で、前述の熱処理以上の温度でRTA処理をする。この結果、図4(d)に示すように、ソース408およびドレイン409上に、シリコンとコバルトの合金からなるシリサイド層410が、膜厚40~50nm程度に形成された状態が得られる。

【0066】次に、図4(e)に示すように、酸化シリコンからなる層間膜411を形成する。

【0067】次に、図5(f)に示すように、レジストパターン412をマスクとしたドライエッチングにより、その層間膜411のソース408およびドレイン409上の領域の所定位置に、コンタクトホール413a、413bを形成する。同時に、図5(g)に示すよ

うに、層間膜411のタングステンシリサイド405b上の所定の位置に、コンタクトホール413cを形成する。

【0068】次に、レジストパターン412をSPM洗浄、EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄（第3洗浄工程）を順次行って除去した後、コンタクトホール413a、413b底部に露出しているシリサイド層410表面をEDTAあるいはその塩を含むキレート剤を添加したAPM洗浄、希弗酸などにより洗浄する。そして、図5（h）に示すように、露出しているシリサイド層410上に選択的にリングがドーブされたポリシリコンを堆積することで、コンタクトホール413a、413b内を埋め込むようにプラグ414を形成する。また、図5に示すように他の領域においてゲート電極405上にもタングステンシリサイド405bに接続するようにリングがドーブされたポリシリコンからなるプラグ414を形成する。

【0069】この後、図示していないが、プラグ414に接続し、例えば、タングステンシリサイドなどからなる各配線、例えば、ソース電極配線やドレイン電極配線などを形成すればよい。

【0070】以上の説明では、キレート剤は、EDTAあるいはその塩を含むとして説明したが、これに限定されるものではなく、Coなどシリサイドを構成する金属と錯体を形成するものであればよい。例えば、エチレンジアミン四酢酸〔EDTA〕、トランス-1,2-ジアミノシクロヘキサノ四酢酸〔CyDTA〕等のアミノポリカルボン酸類、エチレンジアミンテトラ（メチレンホスホン酸）〔EDTPO〕、エチレンジアミンジ（メチレンホスホン酸）〔EDDPO〕、ニトリロトリス（メチレンホスホン酸）〔NTPO〕、1-ヒドロキシエチリデン-1,1'-ジホスホン酸〔HEDPO〕等のホスホン酸類、トリポリリン酸、ヘキサメタリン酸等の縮合リン酸類、アセチルアセトン、ヘキサフルオロアセチルアセトン等のジケトン類、エチレンジアミン、トリエタノールアミン等のアミン類、またはハロゲン化物イオン（F<sup>-</sup>、Cl<sup>-</sup>、Br<sup>-</sup>、I<sup>-</sup>）、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオン、アンモニウムイオン等の無機イオン等の化合物、またはこれらのアンモニウム塩が挙げられる。本発明に係るキレート剤は、単独で使用しても、また、2種以上適宜組合せて用いてもよい。

【0071】この結果、この実施の形態2においても、前述した実施の形態1と同様の効果を奏する。

【0072】このように、Coでシリサイド化する箇所は、ゲート電極のみであってよいし、ソース・ドレイン領域のみであってもよいし、あるいはゲート電極とソース・ドレイン領域の両方であってもよい。また、ゲート電極とソース・ドレイン領域とは同一金属のシリサイドでなくてもよい。

【0073】

【発明の効果】以上説明したように、この発明では、シリコン基板上に形成されたシリサイドの表面を洗浄する半導体装置の製造方法において、EDTAあるいはその塩を含むキレート剤を添加したAPM洗浄を行う工程を備えるようにした。この結果、APMにEDTAあるいはその塩を含むキレート剤を添加することで、ウエハ表面のCo付着量を大幅に抑制することが可能になった。結果として、シリサイドが露出したシリコン基板を洗浄する洗浄装置と微量な金属汚染が問題となる例えばゲート酸化膜形成前のシリコン基板の洗浄を行う洗浄装置と共用できる。このことは、ある一つの半導体装置においても様々な工程で洗浄工程が存在するため、大量の半導体装置を同一ラインの製造装置で量産する場合においては、洗浄装置台数低減、それに伴う洗浄装置スペースの低減、洗浄薬液使用量の低減および加熱ヒーター等エネルギーコストの低減が実現できる。

【0074】さらに、ロジック回路は高速動作が実現でき、メモリ回路は不純物の付着を低減できるので低リーク特性を維持できる。さらに、DRAMの容量素子を形成するとき加熱処理をしても、CoSi<sub>2</sub>の抵抗値に変化が生じないので、動作速度を維持できる。また、CoSi<sub>2</sub>の電気抵抗が小さいので、ソース・ドレイン上のシリサイドを薄くしても、WSiと同程度の抵抗値を得ることができる。このため、トランジスタを微細化しても、ソース・ドレインの拡散層を浅く形成することができるので、トランジスタの実行チャネル長を確保することができる。この結果、メモリ回路とロジック回路とを同一の半導体装置に搭載することが容易に実現できる。

【0075】

【図面の簡単な説明】

【図1】 この発明の第1の実施形態における半導体装置の製造方法を示す工程断面図である。

【図2】 図1に続く、この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図3】 ウエハ表面のCo付着量とAPM液中のCo濃度およびAPM液中のEDTA濃度の関係を示した図である。

【図4】 この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図5】 図4に続く、この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図6】 従来の半導体装置の製造方法を示す工程断面図である。

【図7】 図6に続く、従来の半導体装置の製造方法を示す工程断面図である。

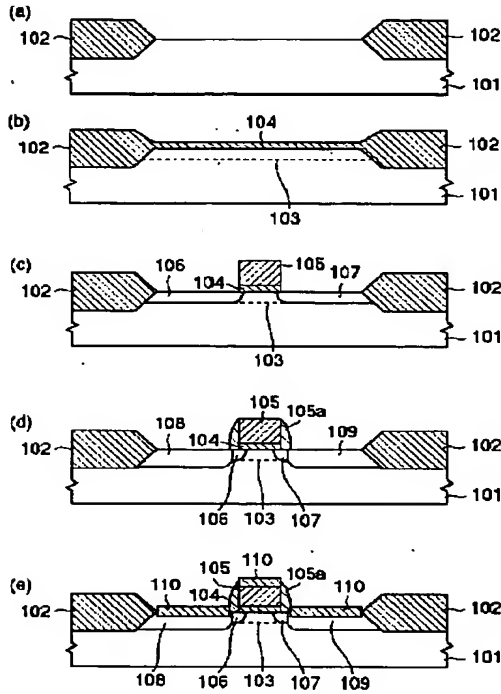
【符号の説明】

101、401…シリコン基板、102、402…フィールド酸化膜、103、403…不純物領域、104、404…ゲート絶縁膜、105、405…ゲート電極、

17

105a、405c…サイドウォール、106、107、407…低濃度領域、108、408…ソース、109、409…ドレイン、110、410…シリサイド

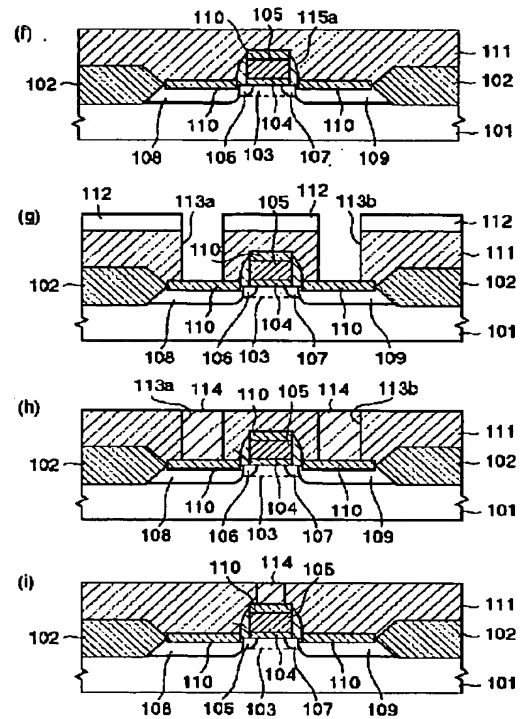
【図1】



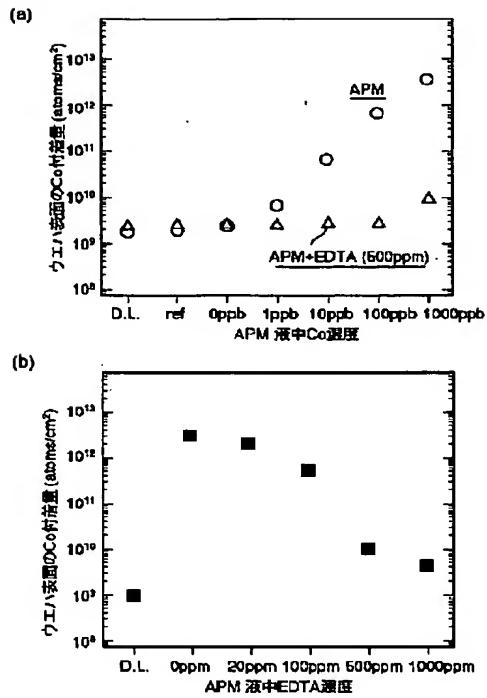
18

層、111、411…層間膜、112、412…レジストパターン、113a、113b、413a、413b…コンタクトホール、114、414…プラグ

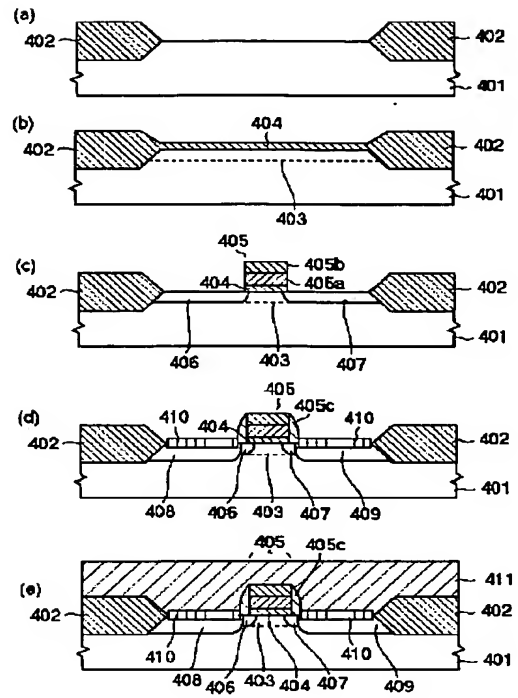
【図2】



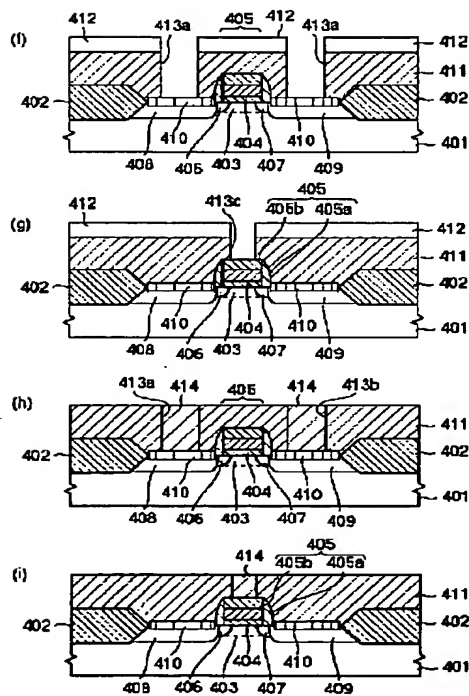
【図3】



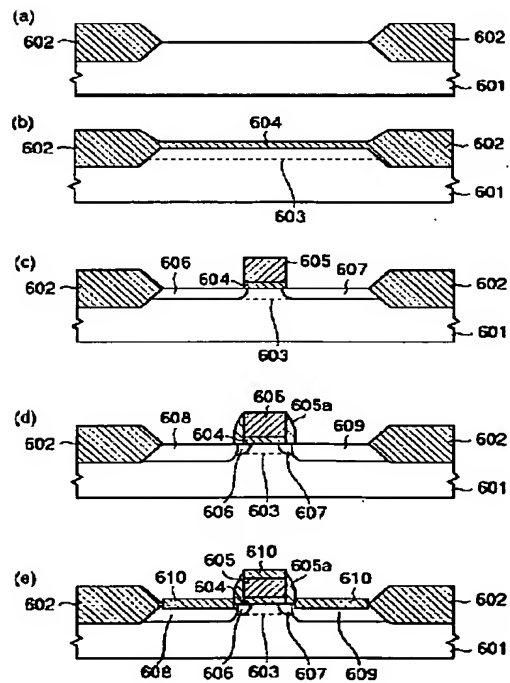
【図4】



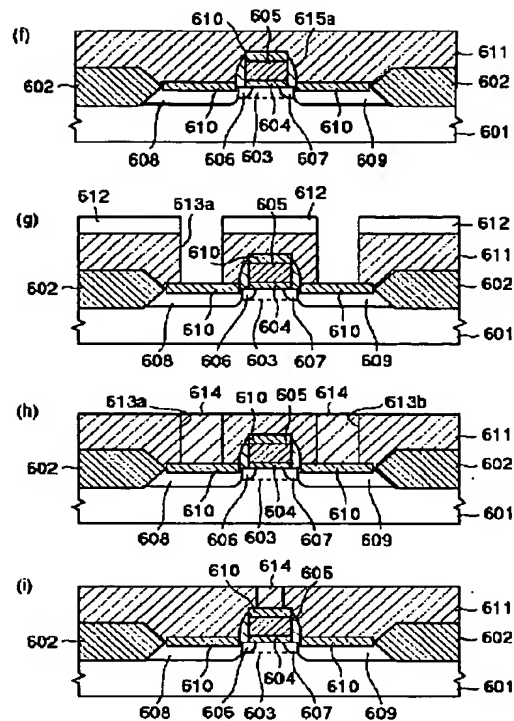
【図5】



【図6】



【図7】



## 【手続補正書】

【提出日】平成11年8月23日（1999. 8. 23）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にシリサイドを含むゲート電極を形成する工程と、不純物を注入してソース領域とドレイン領域を形成する工程と、前記ゲート電極および、前記ソース領域と前記ドレイン領域上に層間膜を形成する工程と、前記層間膜に前記ゲート電極まで達するコンタクトホールを開口する工程と、前記シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液により前記ゲート電極の表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にゲート電極を形成する工程と、不純物を注

入してソース領域とドレイン領域を形成する工程と、前記ソース領域と前記ドレイン領域の表面をシリサイド化する工程と、前記ゲート電極および、前記ソース領域と前記ドレイン領域上に層間膜を形成する工程と、前記層間膜に前記シリサイド化した前記ソース領域と前記ドレイン領域まで達するコンタクトホールを開口する工程と、前記シリサイドを構成する金属と錯体を形成するキレート剤を添加した洗浄液により前記シリサイドの表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または請求項2記載の半導体装置の製造方法においてシリサイド化する工程は、前記ゲート電極または前記ソース領域とドレイン領域上にコバルトを堆積する工程と、前記コバルトを加熱処理してシリサイド化する工程とからなることを特徴とする半導体装置の製造方法。

【請求項4】 シリコン基板上に絶縁膜からなる素子分離領域を形成する工程と、前記素子分離領域に囲まれた所定の領域にゲートポリシリコンからなるゲート電極およびソース・ドレインを形成する工程と、前記ゲート電極および前記ソース・ドレインの表面にシリサイドを形成して素子を形成する工程と、前記素子上に層間膜を形

成する工程と、前記層間膜に前記シリサイドまで達するコンタクトホールを開孔する工程と、前記シリサイドを構成する金属と鍍体を形成するキレート剤を添加した洗浄液により前記シリサイドの表面を洗浄する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記シリサイドは、コバルトシリサイド、またはニッケルシリサイドであることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法において前記素子分離領域形成後、またはゲート電極形成後、前記洗浄液で洗浄する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至請求項6のいずれかに記載の半導体装置の製造方法において前記洗浄液はアンモニア過酸化水素混合液であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1乃至請求項7のいずれかに記載の半導体装置の製造方法において前記キレート剤はアミノポリカルボン酸類、ホスホン酸類、カルボン酸類、縮合リン酸類、ジケトン類、アミン類、及びハロゲン化物イオン、シアン化物イオン、チオシアン酸イオン、チオ硫酸イオンから選ばれた無機イオン等の化合物、またはこれらのアンモニウム塩であることを特徴とする半導体装置の製造方法。

【請求項9】 請求項1乃至請求項8のいずれかに記載の半導体装置の製造方法において、キレート剤としてエチレンジアミン四酢酸(EDTA)あるいはその塩を使用し、アンモニア過酸化水素混合液に対する前記EDTAの濃度は250ppm~10000ppmの範囲であることを特徴とする半導体装置の製造方法。

【請求項10】 表面がシリサイドで覆われたゲート電

極及び表面がシリサイドで覆われたソース／ドレイン領域を有するトランジスタ上に層間絶縁膜を形成する工程と、前記層間絶縁膜を選択的に除去し前記トランジスタの前記ゲート電極若しくは前記ソース／ドレイン領域を露出させるコンタクトホールを形成する工程と、前記シリサイドを構成する金属と鍍体を形成するキレート剤を添加した洗浄液により前記露出されたゲート電極若しくはソース／ドレイン領域の表面を洗浄する工程と、前記コンタクトホールをポリシリコンで埋め込む工程とを備える半導体装置の製造方法。

【請求項11】 半導体基板にフィールド酸化膜を形成する工程と、前記フィールド酸化膜が形成されていない部分の半導体基板主表面を露出させこれを洗浄する第1の洗浄工程と、前記部分にゲート電極及びソース／ドレイン領域を形成しこれを洗浄する第2の洗浄工程と、前記ゲート電極表面及び前記ソース／ドレイン領域表面にシリサイドを形成する工程と、全面に層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを形成し前記ゲート電極表面及び前記ソース／ドレイン領域表面に形成されたシリサイドを露出させる工程と、前記露出されたシリサイドを洗浄する第3の洗浄工程とを備え、前記第3の洗浄工程では前記シリサイドを構成する金属と鍍体を形成するキレート剤を添加した洗浄液が用いられ、前記第1及び第2の洗浄工程の少なくとも一方は前記第3の洗浄工程で用いられる薬液槽と同一の薬液層にて行われることを特徴とする半導体装置の製造方法。

【請求項12】 前記第3の洗浄工程の後、前記コンタクトホールをポリシリコンで埋め込む工程をさらに備えることを特徴とする請求項11記載の半導体装置の製造方法。

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091290

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 21/304  
H01L 21/28  
H01L 29/78  
H01L 21/336

(21)Application number : 10-255108

(71)Applicant : NEC CORP

(22)Date of filing : 09.09.1998

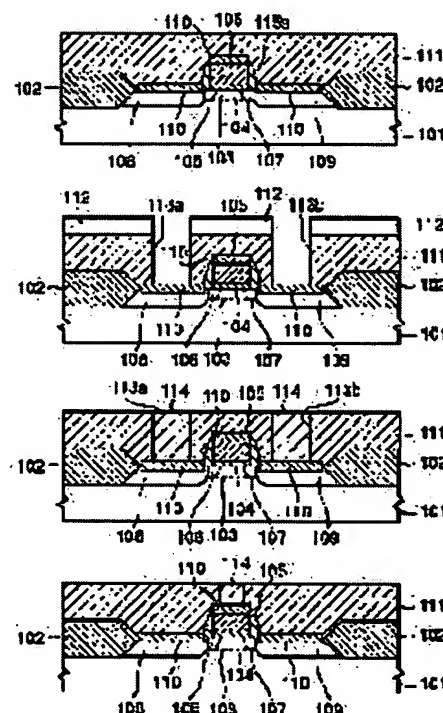
(72)Inventor : WAKE TOMOKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent metal contamination by cleaning the surface of a gate electrode with cleaning liquid to which chelating agent which forms complex with metal constituting silicide is added.

**SOLUTION:** An element isolating region constituted of an insulating film is formed on a silicon substrate 101. A gate electrode 105 containing a silicide 110 is formed on a specified region surrounded by the element isolating region. A source region 108 and a drain region 109 are formed by implanting impurities. An interlayer film 111 is formed on the gate electrode 105 the source region 108 and the drain region 109. Contact holes 113a, 113b which reach the gate electrode 105 are formed in the interlayer film 111. The surface of the gate electrode 105 is cleaned with cleaning liquid to which chelating agent which forms complex with metal constituting the silicide 110 is added.



## LEGAL STATUS

[Date of request for examination]

09.09.1998

[Date of sending the examiner's decision of



rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3006596

[Date of registration] 26.11.1999

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

### [Claim(s)]

[Claim 1] A manufacture method of a semiconductor device characterized by providing the following. A production process which forms an element isolation region which consists of an insulator layer on a silicon substrate A production process which contains silicide to a predetermined field surrounded by said element isolation region and which carries out gate \*\*\*\*\* A production process which pours in an impurity and forms a source field and a drain field A production process which washes the surface of said gate electrode by penetrant remover which added a production process which forms an interlayer film on said gate electrode, and said source field and said drain field, a production process which carries out the opening of the contact hole which even said gate electrode arrives at to said interlayer film, a metal which constitutes said silicide, and a chelating agent which forms a complex

[Claim 2] A manufacture method of a semiconductor device characterized by providing the following. A production process which forms an element isolation region which consists of an insulator layer on a silicon substrate A production process which carries out gate \*\*\*\*\* to a predetermined field surrounded by said element isolation region A production process which pours in an impurity and forms a source field and a drain field The production process which washes the surface of said silicide by the penetrant remover which added a production process which silicide-izes the surface of said source field and said drain field, a production process which forms an interlayer film on said gate electrode, and said source field and said drain field, a production process which carries out the opening of the contact hole arrived at to said said silicide-ized source field and said drain field to said interlayer film, a metal which constitutes said silicide, and a chelating agent which forms a complex

[Claim 3] A production process silicide-ized in a manufacture method of a semiconductor device according to claim 1 or 2 is the manufacture method of a semiconductor device characterized by consisting of a production process which deposits cobalt on said gate electrode or said source field, and a drain field, and a production process which heat-treats and silicide-izes said cobalt.

[Claim 4] A manufacture method of a semiconductor device characterized by providing the following. A production process which forms an element isolation region which consists of an insulator layer on a silicon substrate A production process which forms a gate electrode and a source drain which consist of gate polish recon in a predetermined field surrounded by said element isolation region A production process which forms silicide in the surface of said gate electrode and said source drain, and forms an element A production process which washes the surface of said silicide by penetrant remover which added a production process which forms an interlayer film on said element, a production process which carries out the opening of the contact hole arrived at to said silicide to said interlayer film, a metal which constitutes said silicide, and a chelating agent which forms a complex

[Claim 5] It is the manufacture method of a semiconductor device characterized by said silicide being cobalt silicide or nickel silicide in a manufacture method of a semiconductor device according to claim 4.

[Claim 6] A manufacture method of a semiconductor device characterized by having a production process washed by said penetrant remover after said element isolation region formation or gate electrode

formation in a manufacture method of a semiconductor device according to claim 1 to 5.

[Claim 7] It is the manufacture method of a semiconductor device characterized by said penetrant remover being ammonia-hydrogen-peroxide mixed liquor in a manufacture method of a semiconductor device according to claim 1 to 6.

[Claim 8] It is the manufacture method of a semiconductor device characterized by said chelating agents being compounds, such as inorganic ion chosen from amino polycarboxylic acid, phosphonic acid, carboxylic acids, condensed phosphoric acid, diketones, amines and halogenide ion, cyanide ion, thiocyanic acid ion, and thiosulfuric-acid ion, or such ammonium salt in a manufacture method of a semiconductor device according to claim 1 to 7.

[Claim 9] In a manufacture method of a semiconductor device according to claim 1 to 8 Ethylenediaminetetraacetic acid (EDTA) or its salt is used as a chelating agent. Concentration of said EDTA to ammonia-hydrogen-peroxide mixed liquor is the manufacture method of a semiconductor device characterized by being the range of 250 ppm - 10000 ppm.

[Claim 10] A manufacture method of a semiconductor device characterized by washing a silicon substrate surface which cobalt silicide exposed using ammonia-hydrogen-peroxide mixed liquor which added a chelating agent containing ethylenediaminetetraacetic acid (EDTA) or its salt.

[Claim 11] It has a washing tub which put in a penetrant remover which added a metal which constitutes silicide, and a chelating agent which forms a complex. A washing tub washed by penetrant remover after forming an element isolation region which consists of an insulator layer on a silicon substrate, Or a washing tub washed by penetrant remover after forming a gate electrode in a predetermined field surrounded by said element isolation region A manufacturing installation of a semiconductor device characterized by making it the same as that of said washing tub washed by penetrant remover after forming silicide in the surface of said gate electrode or a source drain, depositing an interlayer film and carrying out the opening of the contact hole.

[Claim 12] It is the manufacturing installation of a semiconductor device characterized by said silicide being cobalt silicide or nickel silicide in a manufacturing installation of a semiconductor device according to claim 11.

[Claim 13] It is the manufacture method of a semiconductor device characterized by said penetrant remover being ammonia-hydrogen-peroxide mixed liquor in a manufacturing installation of a semiconductor device according to claim 11 or 6.

[Claim 14] It is the manufacturing installation of a semiconductor device characterized by \*\*\*\*\* which are compounds, such as inorganic ion with which said chelating agent was chosen from amino polycarboxylic acid, phosphonic acid, carboxylic acids, condensed phosphoric acid, diketones, amines and halogenide ion, cyanide ion, thiocyanic acid ion, and thiosulfuric-acid ion in a manufacturing installation of a semiconductor device according to claim 11 to 13, or such ammonium salt.

[Claim 15] In a manufacturing installation of a semiconductor device according to claim 11 to 14 It is the manufacturing installation of a semiconductor device which uses ethylenediaminetetraacetic acid (EDTA) or its salt as a chelating agent, and is characterized by a range of concentration of said EDTA to ammonia-hydrogen-peroxide mixed liquor being 250 ppm - 10000 ppm.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of the semiconductor device which has the production process which washes especially the surface of silicide good, and its manufacturing installation about the manufacture method of the semiconductor device which made a note and formed the circuit and the logical circuit on the same silicon substrate, and its manufacturing installation -- it carries out.

[0002]

[Description of the Prior Art] In recent years, miniaturization of a semiconductor device is attained and development of the DRAM-logic mixed-loading LSI technology which forms CPU which carries out data processing of the data remembered to be the DRAM memory circuit which memorizes data for a \*\*\*\*\* reason by DRAM memory in the rapidity of an integrated circuit of operation, and a logical circuit on the same semiconductor substrate prospers. It is because it is made to a compact as a whole by accumulating two semiconductor devices while it can shorten the length of wiring and can make clock frequency high by forming a DRAM memory circuit and a logical circuit on the same semiconductor substrate.

[0003] Since such DRAM memory-logic mixed loading LSI has the high graphic operation engine performance, Field of application has spread in the graphic accelerator for image processings etc.

[0004] By the way, generally the manufacturing processes of a DRAM memory circuit and a logical circuit differ greatly. For example, as for the wiring which connects the memory cells in a DRAM memory circuit, and the wiring which connects the transistors which constitute the logical circuit in a logical circuit, the structures differ.

[0005] The aluminum or the aluminium alloy of low resistance is used for the logical circuit from the 1st wiring (wiring of the lowest layer) for high-speed operation. On the other hand, the 1st wiring (bit line) is the laminated structure of a polish recon layer and the tungsten silicide (WSi) layer formed on it the case of the structure (Cell Over Bit line), i.e., COB structure, where, as for a DRAM memory circuit, the cellular structure forms the capacity charge storage section above a bit line. This is because thermal resistance and low resistance were thought as important since 700-800-degree C heat was added and the aluminum whose melting point is 660 degrees C could not be used, and WSi is chosen in the process which forms the capacity charge storage section of a DRAM memory cell above a bit line.

[0006] Therefore, in the DRAM-logic mixed loading LSI which forms a DRAM memory circuit and a logical circuit on the same semiconductor substrate, it wires, the 1st of the laminated structure containing a WSi layer ranks second, and the wiring structure of the DRAM memory section forms the capacity charge storage section, and spends the aluminium alloy on wiring on the capacity charge storage section.

[0007] Furthermore, also in the transistor which constitutes a DRAM memory circuit and a logical circuit, in order to lower contact resistance conventionally, the silicide which is the alloy of silicon and a metal is used for the purposes, such as a gate electrode which consists of polish recon, and reduction in

resistance of a source drain. For example, he forms silicide in the source drain formation field surface, and is trying to reduce contact resistance with a source electrode and a drain electrode, and layer resistance of the source and a drain.

[0008] Hereafter, the manufacture method of MOSFET using the silicide is explained briefly.

[0009] The cross section of the order of a manufacturing process of the transistor which constitutes drawing 6 , drawing 7 , a DRAM memory circuit, and a logical circuit is shown.

[0010] First, as shown in drawing 6 (a), field oxide 602 is formed on a silicon substrate 601, and the silicon substrate 601 surface of the element formation field divided by field oxide 602 is exposed. In order to adjust the threshold voltage of a transistor, the ion implantation of the B is carried out and an impurity range 603 is formed. Next, subsequently After washing using acids, such as diluted fluoric acid, etc. removes the natural oxidation film formed in the exposed surface, subsequently Ammonia-hydrogen-peroxide-solution (APM) (1st washing production process) and sulfuric-acid-hydrogen-peroxide mixed liquor (SPM) washing is performed for the silicon substrate surface of a transistor element formation field one by one, and the impurity of a silicon substrate surface is removed.

[0011] As shown in drawing 6 (b), the gate insulator layer 604 is formed.

[0012] Subsequently, polish recon is deposited with a CVD method. In order to give conductivity to this polish recon at this time, you may make it add P (Lynn) about [ 1020cm - ] three. And as the resist pattern formed with well-known photolithography technology is used as a mask, and polish recon is removed alternatively and it is shown in drawing 6 (c) by the dry etching using gas, such as HBr and Cl, the gate electrode 605 is formed. Here, ammonia-hydrogen peroxide solution (APM) washes (the 2nd washing production process), and the gate electrode 605 and the impurity of the source drain formation schedule field 606 and the 607 surface are removed. In addition, the low concentration fields 606 and 607 are formed by carrying out the ion implantation of the P (Lynn) by using this gate electrode 605 as a mask.

[0013] Next, an insulator layer is deposited on the silicon substrate 601 containing the gate electrode 605, and by removing this by the dry etching which has a perpendicular anisotropy etc., as shown in drawing 6 (d), sidewall 605a is formed in gate electrode 605 side wall. In addition, although MOSFET of LDD structure is mostly formed by carrying out the ion implantation of the As (arsenic) by using the gate electrode 605 and sidewall 605a as a mask, he is trying to form wiring linked to a transistor, as shown below after this.

[0014] Next, titanium (Ti) is deposited and heat-treated on the gate electrode 605 and the silicon substrate 601 containing sidewall 605a, and the part where a silicon side and titanium touch is silicide-ized, the unreacted titanium on an insulator layer etc. is removed, and it heat-treats again by next. Consequently, as shown in drawing 6 (e), the condition that the silicide layer 610 was formed on the gate electrode 605 upper part, the source 608, and 609 is acquired.

[0015] Next, as shown in drawing 7 (f), the interlayer film 611 which consists of silicon oxide is formed.

[0016] Next, as shown in drawing 7 (g), contact holes 613a and 613b are formed in the predetermined location of the source 608 of the interlayer film 611, and the field on a drain 609 by the dry etching which used the resist pattern 612 as the mask.

[0017] Next, after performing SPM washing and APM washing (the 3rd washing production process) one by one and removing a resist pattern 612, APM, diluted fluoric acid, etc. wash the silicide layer 610 surface exposed to contact hole 613a and a 613b pars basilaris occipitalis.

[0018] And by depositing the polish recon by which Lynn was doped alternatively on the exposed silicide layer 610, as shown in drawing 7 (h), a plug 614 is formed so that the inside of contact hole 613a and 613b may be embedded. Moreover, as shown in drawing 7 (i), in other fields, the plug 614 linked to the silicide layer 610 is formed also on the gate electrode 605.

[0019] Then, what is necessary is just to form each wiring which connects with a plug 614, for example, consists of tungsten silicide etc., for example, source electrode wiring, drain electrode wiring, etc., although not illustrated.

[0020] Usually, in a memory circuit, said gate electrode is used as a word line, and it is used as an input

of an inverter in a logical circuit. Moreover, although after the production process shown in drawing 7 (i) is not illustrated in a memory circuit, the bit line is connected to the diffusion layer 608 of a substrate 601 through the contact plug 614 which was formed on the polish recon layer and the polish recon layer like the gate electrodes 605 and 610 as a laminated structure with the WSi layer by which the laminating was carried out, and embedded and formed contact hole 613a which penetrates an interlayer film 611.

[0021] As the capacitive element of DRAM passes along between the bit lines of the memory cell array section, it is connected to the diffusion layer 609 of a substrate 601 through the contact plug (un-illustrating) which embedded the contact hole which penetrates the interlayer film formed an interlayer film 611 and on this, and was formed.

[0022] A logical circuit is equipped with the 1st interlayer film and the 2nd interlayer film (un-illustrating) on the interlayer film 611 of the memory cell array section on the gate electrode 605, and has the metal wiring formed with the aluminium alloy on the 2nd interlayer film. Metal wiring is connected to the diffusion layer of a substrate 601 through the contact plug which embedded the contact hole which penetrates the 2nd interlayer film, the 1st interlayer film, and an interlayer film 611. If the surface of a source drain is not silicide-ized at this time, it is necessary to increase the number of contact holes and to lower diffusion layer resistance of a source drain. On the contrary, if the surface of a source drain is silicide-ized, even if it does not increase the number of contact holes, diffusion layer resistance of a source drain can be lowered and actuation of a logical circuit can be accelerated.

[0023]

[Problem(s) to be Solved by the Invention] In recent years, detailed-ization of a semiconductor device has a remarkable thing, and, as for gate length, 0.2 micrometers or less are demanded. Furthermore, in logical circuits, such as CPU and a gate array, making resistance in connection with wiring small, and attaining improvement in the speed is called for.

[0024] However, since condensation starts with the heat when forming a DRAM capacitive element and high resistance exists in the boundary of this grain, titanium silicide has the problem that wiring resistance of titanium silicide becomes large. If gate length becomes narrow and becomes the about the same as the grain size of titanium silicide especially, it will silicide-ize and the semantics formed into low resistance will be lost. Moreover, tungsten silicide (WSi) is widely used as an another means to silicide-ize a gate electrode. With 70microomegacm, since the electric resistance of a certain thing is large, as for thermal resistance, WSi needs to make thickness of WSi thick to about 100nm. However, by the method of forming tungsten silicide by the spatter on polish recon, and carrying out patterning of this and forming a gate electrode, tungsten silicide cannot be formed in self align on a source diffusion layer and a drain diffusion layer. Moreover, as mentioned above, after sidewall formation, by the method of depositing and heat-treating a tungsten, although silicide can be formed on a source diffusion layer and a drain diffusion layer, when it is made detailed, the depth of a diffusion layer must also be made shallow and cannot form tungsten silicide thickly. When WSi is made thin, the thickness of tungsten silicide becomes an ununiformity and there is a problem that it is difficult to lower the resistance of a source drain.

[0025] As a method of solving this technical problem, cobalt silicide attracts attention. Since this reason is as small as 18 - 30microomegacm, cobalt silicide (CoSi<sub>2</sub>) electric resistance can form thickness in about 10nm thinly. Moreover, since a grain is not formed even if it heat-treats at a DRAM capacitive element formation production process, wiring resistance does not increase.

[0026] However, if cobalt silicide is formed on the gate or a source drain, the following problems will arise.

[0027] In order to improve properties, such as pressure-proofing of a transistor, and leak, APM washing was performed, also after performing APM washing and carrying out patterning of the gate electrode as the 2nd washing production process as the 1st washing production process, before forming a gate insulator layer. Moreover, for reduction of contact resistance, as the 3rd washing production process, the opening of the contact hole is carried out, and before depositing the polish recon doped alternatively in a resist exfoliation production process on the silicide layer exposed after washing of sulfuric-acid-hydrogen-peroxide mixed liquor (SPM), an etching sediment etc. needs to wash ammonia-hydrogen

peroxide solution (APM) for particle removal. Since cobalt silicide is etched although it is small when APM washing is performed to cobalt silicide (CoSi<sub>2</sub>) at this time, cobalt (Co) is eluted in a drug solution.

[0028] Like before, although adhering to a silicon substrate surface did not have \*\*\*\*\* even if titanium and a tungsten were eluted in APM liquid, Co tends to adhere in a silicon substrate surface into the APM liquid with which Co is eluted. consequently, if washing (the 1st washing production process) before gate oxide formation ( drawing 6 (a)) is performed by the washing tub in which Co has been eluted, pressure-proofing of gate oxide will deteriorate, or If ( drawing 6 (c)) after carrying out patterning of the gate is washed by the same washing tub (the 2nd washing production process) Co adhered to the side of gate oxide and it had become big problems, such as leak between gate-drains increasing, or Co adhering to the source drain surface carrying out thermal diffusion, and degrading the property of a transistor.

[0029] In order to solve this, the silicon substrate which CoSi<sub>2</sub> has exposed just before using it, separating the washing tub which washes the silicon substrate which CoSi<sub>2</sub> has exposed to the pars basilaris ossis occipitalis of a contact hole, and the washing tub which washes other silicon substrates or exchanging the drug solution in a washing tub for a new drug solution was washed. Since a washing production process existed at various production processes also in one certain semiconductor device, when a lot of semiconductor devices were mass-produced at the factory in the same Rhine, this caused increase of the heater isoenergetic cost which heats increase of the number of a washing station, increase of the washing station space accompanying it, increase of the amount of the washing drug solution used, and an APM penetrant remover, and had become a serious problem.

[0030] Therefore, the demand to the drug solution which Co adhesion in a silicon substrate surface does not produce even if it carries out by the APM penetrant remover tub from which minute amount Co contamination poses a problem, and in which Co was eluted in washing before a gate oxidation production process is increasing, for example.

[0031] Moreover, high integration of a semiconductor device progresses and the product which carried memory, CPU, a gate array, etc. in one semiconductor device is appearing. Generally, in a memory circuit like DRAM, it is important to make resistance in connection with wiring small as mentioned above by logical circuits, such as CPU and a gate array, to it being important to control the leakage current in a capacitative element or each electrode field, and to attain improvement in the speed. However, it is more difficult technical still to follow on making the component of a semiconductor device detailed, and to reconcile these two technical problems.

[0032] This invention solves the above problems, it is made in order to reply to a demand, and the 1st purpose is offering the manufacture method for loading together the memory and logic which were excellent in the property to one semiconductor device.

[0033] The 2nd purpose is offering the washing method without metal contamination about the manufacture method of the semiconductor device which washes the surface of the silicide formed on the silicon substrate.

[0034] The 3rd purpose is offering the manufacturing installation of the method of sharing two or more washing production processes, and a semiconductor device, without increasing a washing tub.

[0035]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, a manufacture method of a semiconductor device by this invention A production process which forms an element isolation region which consists of an insulator layer on a silicon substrate, and a production process which contains silicide to a predetermined field surrounded by element isolation region and which carries out gate \*\*\*\*\*, A production process which pours in an impurity and forms a source field and a drain field, and a production process which forms an interlayer film on a gate electrode, and a source field and a drain field, It is characterized by having a production process which carries out the opening of the contact hole which even a gate electrode arrives at to an interlayer film, a metal which constitutes silicide, and a production process which washes the surface of a gate electrode by penetrant remover which added a chelating agent which forms a complex.



[0036] Moreover, a manufacture method of a semiconductor device by this invention A production process which forms an element isolation region which consists of an insulator layer on a silicon substrate, and a production process which carries out gate \*\*\*\*\* to a predetermined field surrounded by element isolation region, A production process which pours in an impurity and forms a source field and a drain field, and a production process which silicide-izes the surface of a source field and a drain field, A production process which forms an interlayer film on a gate electrode, and a source field and a drain field, It is characterized by having a production process which carries out the opening of the contact hole arrived at to said silicide-ized source field and drain field to an interlayer film, a metal which constitutes silicide, and a production process which washes the surface of said silicide by penetrant remover which added a chelating agent which forms a complex.

[0037] Furthermore, a manufacture method of a semiconductor device by this invention A production process which forms a gate electrode and a source drain which consist of gate polish recon in a production process which forms an element isolation region which consists of an insulator layer on a silicon substrate, and a predetermined field surrounded by element isolation region, A production process which forms silicide in the surface of a gate electrode and said source drain, and forms an element, It is characterized by having a production process which forms an interlayer film on an element, a production process which carries out the opening of the contact hole arrived at to silicide to an interlayer film, a metal which constitutes silicide, and a production process which washes the surface of silicide by penetrant remover which added a chelating agent which forms a complex.

[0038] Moreover, this silicide is cobalt silicide or nickel silicide, and a penetrant remover is ammonia-hydrogen-peroxide mixed liquor, and it is characterized by chelating agents being compounds, such as inorganic ion chosen from amino polycarboxylic acid, phosphonic acid, carboxylic acids, condensed phosphoric acid, diketones, amines and halogenide ion, cyanide ion, thiocyanic acid ion, and thiosulfuric-acid ion, or such ammonium salt.

[0039] Furthermore, a washing tub washed by penetrant remover after a manufacturing installation of a semiconductor device by this invention forms an element isolation region which consists of an insulator layer on a silicon substrate, Or form silicide in the surface of a gate electrode or a source drain for a washing tub washed by penetrant remover after forming a gate electrode in a predetermined field surrounded by element isolation region, and an interlayer film is deposited. After carrying out the opening of the contact hole, it is characterized by making it the same as that of a washing tub washed by penetrant remover.

[0040]

[Embodiment of the Invention] The gestalt of implementation of this invention is explained with reference to drawing below.

[0041] (Operation gestalt 1) Drawing 1 is the production process cross section showing the manufacture method of the semiconductor device in the gestalt of implementation of the 1st of this invention.

[0042] First, as shown in drawing 1 (a), field oxide 102 is formed on a silicon substrate 101, and the silicon substrate 101 surface of the element formation field divided by field oxide 102 is exposed. In order to adjust the threshold voltage of a transistor, the ion implantation of the B is carried out and an impurity range 103 is formed. Next, subsequently After washing using acids, such as diluted fluoric acid, etc. removes the natural oxidation film formed in the exposed surface, subsequently Ammonia-hydrogen-peroxide mixed liquor (APM) washing and sulfuric-acid-hydrogen-peroxide mixed liquor (SPM) washing (the 1st washing production process) which added the chelating agent containing ethylenediaminetetraacetic acid (EDTA) or its salt are performed one by one. The ammonia:hydrogen peroxide which constitutes APM here: The rate of a volume ratio of water was set to 0.25:1:5.

[0043] Generally, if the dust metallurgy group etc. has adhered to the surface of a silicon substrate 101, it will have a bad influence on the properties of a transistor, such as the long-term reliability of gate oxide. By performing APM washing which added the chelating agent containing EDTA or its salt, it can prevent that the metal containing Co contained in a penetrant remover adheres to the substrate surface. Consequently, even if it washes the substrate which cobalt silicide exposed at the after production process (the 3rd washing production process) by this washing tub and performs the 1st washing

production process by the same drug solution tub after that again, metal contamination of a silicon substrate surface can be reduced.

[0044] Subsequently, as shown in drawing 1 (b), the gate insulator layer 104 is formed and polish recon is deposited with a CVD method. In order to give conductivity to this polish recon at this time, you may make it add P (Lynn) about [ 1020cm - ] three. And as the resist pattern formed with well-known photolithography technology is used as a mask, and polish recon is removed alternatively and it is shown in drawing 1 (c) by the dry etching using gas, such as HBr and Cl, the gate electrode 105 is formed. In addition, the low concentration fields 106 and 107 are formed by carrying out the ion implantation of the P (Lynn) by using this gate electrode 105 as a mask. At this time, Lynn will be introduced also into the gate electrode 105 at coincidence. Subsequently, it washes with the ammonia-hydrogen-peroxide mixed liquor (APM) which added the chelating agent containing EDTA or its salt (the 2nd washing production process). It prevents that this washing removes the metal containing Co adhering to the side of the gate insulator layer 104 etc., and prevent the fall of gate pressure-proofing, or it removes the dust metallurgy group adhering to the surface of a source drain formation schedule field etc., and a metal carries out thermal diffusion by heat treatment of an after production process.

[0045] Next, an insulator layer is deposited on the silicon substrate 101 containing the gate electrode 105, and by removing this by the dry etching which has a perpendicular anisotropy etc., as shown in drawing 1 (d), sidewall 105a is formed in gate electrode 105 side wall. In addition, the source 108 and a drain 109 are formed by carrying out the ion implantation of the As (arsenic) by using the gate electrode 105 and sidewall 105a as a mask.

[0046] Subsequently, a cobalt film is deposited at about 15nm of thickness on the gate electrode 105 and the silicon substrate 101 containing sidewall 105a. Then, heating (RTA:Rapid Thermal Annealing) processing of these is carried out at about 500-600 degrees C. By this processing, silicide-ization takes place in the part where a silicon side and cobalt touch. Then, the unreacted cobalt on an insulator layer etc. is removed by the wet etching by the mixed liquor of a hydrochloric acid and a hydrogen peroxide. By next, RTA processing is carried out at the temperature beyond the above-mentioned heat treatment. Consequently, as shown in drawing 1 (e), the condition that the silicide layer 110 which consists of an alloy of silicon and cobalt was formed at about 40-50nm of thickness on the gate electrode 105 upper part, the source 108, and a drain 109 is acquired.

[0047] Next, as shown in drawing 2 (f), the interlayer film 111 which consists of silicon oxide is formed.

[0048] Subsequently, as shown in drawing 2 (g), contact holes 113a and 113b are formed in the predetermined location of the source 108 of the interlayer film 111, and the field on a drain 109 by the dry etching which used the resist pattern 112 as the mask.

[0049] Next, after performing APM washing which added the chelating agent which contains SPM washing, EDTA, or its salt for a resist pattern 112 one by one and removing it, contact hole 113a, APM washing (the 3rd washing production process) which added the chelating agent which includes the silicide layer 110 surface exposed to a 113b pars basilaris ossis occipitalis for EDTA or its salt, and washing of diluted fluoric acid are performed one by one. Washing here is for removing the sediment produced at the time of etching, and reducing contact resistance. Since CoSi<sub>2</sub> is exposed to a substrate pars basilaris ossis occipitalis at this time, Co metal is eluted in an APM penetrant remover, and a penetrant remover is polluted.

[0050] Subsequently, by depositing the polish recon by which Lynn was doped alternatively on the exposed silicide layer 110, as shown in drawing 2 (h), a plug 114 is formed so that the inside of contact hole 113a and 113b may be embedded. Moreover, as shown in drawing 2 (i), in other fields, the plug 114 which connects also with the gate electrode 105 at the silicide layer 110 is formed.

[0051] Then, although not illustrated, each wiring (bit line etc.) which consists of tungsten silicide etc. as usual is connected to one plug 114, or the capacitive element of DRAM is formed and it connects with the plug 114 of another side. Furthermore, metal wiring wiring of an interlayer film, aluminum, etc. is formed in the upper layer.

[0052] By the above explanation Although it was explained that the chelating agent contained EDTA or

its salt, it is not limited to this and should just form the metal and complex which constitute silicide, such as Co. For example, amino polycarboxylic acid, such as ethylenediaminetetraacetic acid [EDTA], a transformer -1, and 2-diamino cyclohexane tetraacetic acid [CyDTA] An ethylenediamine tetrapod (methylene phosphonic acid) [EDTPO], ethylene JIAMINJI (methylene phosphonic acid) [EDDPO], Phosphonic acid, such as the NITORIRO [tris NTPO] (methylene phosphonic acid) 1-hydroxy ethylidene -1 and 1'-diphosphonic acid [HEDPO] Condensed phosphoric acid, such as the Tripoli phosphoric acid and hexametaphosphoric acid, an acetylacetone, Diketones, such as a hexafluoro acetylacetone, ethylenediamine, Compounds, such as inorganic ion, such as amines, such as triethanolamine, or halogenide ion (F-, Cl-, Br-, I-), cyanide ion, thiocyanic acid ion, thiosulfuric-acid ion, and ammonium ion, or such ammonium salt are mentioned. The chelating agent concerning this invention may be used independently, or two or more sorts, it may combine suitably and it may be used. [0053] As shown above, according to the gestalt 1 of this operation, it considered as APM washing which added the chelating agent which includes washing before formation of gate oxide (the 1st washing production process), and washing (the 3rd washing production process) before depositing a resist exfoliation production process and the polish recon by which Lynn was doped alternatively after CoSi<sub>2</sub> is exposed to a contact hole pars basilaris ossis occipitalis for EDTA or its salt. Consequently, cobalt adhesion can be controlled and cross contamination can be reduced sharply.

[0054] The relation between Co concentration in APM liquid and Co coating weight (atoms/cm<sup>2</sup>) to a silicon substrate surface is shown in drawing 3 (a). Here, DL (Detection Limit) shows the determination limit of ICP-MAS which measured Co coating weight of a silicon substrate surface, and ref (Reference) shows Co coating weight which has adhered to the silicon surface used for the experiment from the first. Since it will be obtained from now on when the values of  $2 \times 10^9$  (atoms/cm<sup>2</sup>) degree are DL and ref, the result of ref is a determination limit value in this measurement. - In not adding EDTA to shown APM, it turns out that Co adhesion in a silicon substrate surface can begin to be seen when Co concentration in APM liquid is set to 1 or more ppb, and Co coating weight is increasing in proportion to Co concentration in APM liquid. In APM washing before formation of gate oxide, where 5ppb is exceeded about, when [ since it turns out that gate resisting pressure deterioration is seen if Co coating weight on the surface of a wafer becomes more than  $1 \times 10^{10}$  (atoms/cm<sup>2</sup>), for example, ] Co concentration in APM liquid washes, it turns out that gate resisting pressure deterioration arises and it becomes a problem. On the other hand, when 500 ppm of EDTA are added to APM shown by \*\*, even if Co coating weight on the surface of a wafer is controlled and Co concentration in APM liquid turns into a 100ppb degree and high concentration, it turns out that Co coating weight is controlled. Thus, by adding EDTA to APM, it turns out that Co coating weight on the surface of a wafer can be controlled sharply.

[0055] Co coating weight on the surface of a wafer and the relation of the EDTA concentration in APM liquid are shown in drawing 3 (b).

[0056] Here, Co concentration in APM liquid is 1000ppb. From drawing 3 (b), by increasing the EDTA concentration in APM liquid shows that Co coating weight on the surface of a wafer can be reduced. Considering sharing the washing tub which washes the silicon substrate in front of a gate oxidation production process, and the washing tub which washes the silicon substrate in which cobalt is eluted, it turns out that about 250-10000 ppm is the EDTA concentration in the optimal APM liquid. Although EDTA concentration can reduce the coating weight of Co compared with the case where EDTA is not added at APM in a low-concentration case, from 250 ppm, 1xmore than  $10^{10}$  (atoms/cm<sup>2</sup>) will be the coating weight of Co. Therefore, it is difficult to use as a washing tub which washes the silicon substrate in front of a gate oxidation production process in this case, and it turns out that the common use with the tub which washed the substrate which CoSi<sub>2</sub> exposed is difficult. It is for on the other hand being anxious about EDTA itself remaining to a silicon substrate surface, and causing resisting pressure deterioration of gate oxide, in adding high-concentration EDTA concentration to an APM penetrant remover rather than 10000 ppm (not shown).

[0057] In addition, although the case where Co concentration in the above-mentioned result and APM liquid was 1000ppb was shown, if this concentration can be held down to 100ppb, EDTA concentration in APM liquid can be set to about 25-1000 ppm. Moreover, although he is trying to form the silicide of

cobalt in \*\*\*\*, it does not restrict to this, the silicide of other refractory metals is sufficient, for example, the same effect is acquired even if it forms the silicide of nickel.

[0058] By using the penetrant remover (APM) which added the metal which constitutes silicide, and the chelating agent (EDTA) which forms a complex, as explained above Even if it shares with the washing tub of the 1st or 2nd washing production process the washing tub of the 3rd washing production process washed after CoSi<sub>2</sub> has been exposed Since the metal which constitutes silicide can adhere to the surface of a silicon substrate or a source drain or can prevent adhering to the side of a gate insulator layer, the property of a transistor is not degraded. Moreover, since a use count until it exchanges penetrant removers can be increased, the amount of the drug solution used can be reduced. Furthermore, since the 1st - the 3rd washing production process can be processed by the same washing tub, the installation space of a washing station is not increased. Moreover, since the number of the heaters which heat a penetrant remover also decreases, energy cost can be reduced. Consequently, even if it carries a memory circuit and a logical circuit in the same semiconductor device, a logical circuit can realize high-speed operation, and since a memory circuit can reduce adhesion of an impurity, it can maintain a low leak property. Furthermore, since change does not arise in the resistance of CoSi<sub>2</sub> even if it heat-treats, when forming the capacitive element of DRAM, a working speed is maintainable. Moreover, since the electric resistance of CoSi<sub>2</sub> is small, even if it makes the silicide on a source drain thin, resistance comparable as WSi can be acquired. For this reason, since the diffusion layer of a source drain can be shallowly formed even if it makes a transistor detailed, the activation channel length of a transistor is securable.

[0059] (Operation gestalt 2) The manufacture method of the semiconductor device in the gestalt of implementation of the 2nd of this invention is explained hereafter.

[0060] Although the gestalt of the 1st operation showed the example which deposits Co on a gate electrode and a source drain field, and is silicide-ized to coincidence, the gestalt of the 2nd operation shows the example which silicide-izes a gate electrode and a source drain field separately.

[0061] Drawing 4 is the production process cross section showing the manufacture method of the semiconductor device in the gestalt of implementation of the 2nd of this invention.

[0062] First, as shown in drawing 4 (a), field oxide 402 is formed on a silicon substrate 401, and the silicon substrate 401 surface of the element formation field divided by field oxide 402 is exposed.

[0063] In order to adjust the threshold voltage of a transistor, the ion implantation of the B is carried out and an impurity range 403 is formed. Next, subsequently After washing using acids, such as diluted fluoric acid, etc. removes the natural oxidation film formed in the exposed surface, subsequently APM washing (the 1st washing production process) and SPM washing which added the chelating agent containing EDTA or its salt are performed one by one, and as shown in drawing 4 (b), the gate insulator layer 404 is formed. In this case, APM washing which added the chelating agent containing EDTA or its salt is performed for using the same drug solution tub, also in case the substrate which the cobalt silicide of an after production process and tungsten silicide exposed is washed.

[0064] Subsequently, the polish recon by which P (Lynn) was added about [ 1020cm - ] three with the CVD method is deposited, and tungsten silicide is succeedingly deposited on this. And the resist pattern formed with well-known photolithography technology is used as a mask, and by dry etching, polish recon 405a and tungsten silicide 405b are removed alternatively, and as shown in drawing 4 (c), the gate electrode 405 which consists of polish recon 405a and tungsten silicide 405b is formed. Here, it washes by APM which added the chelating agent containing EDTA or its salt (the 2nd washing production process). In addition, the low concentration fields 406 and 407 are formed by carrying out the ion implantation of the P (Lynn) by using this gate electrode 405 as a mask. In addition, it is the same even if it uses not the thing to restrict to tungsten silicide but the silicide of other refractory metals.

[0065] Next, an insulator layer is deposited on the silicon substrate 401 containing the gate electrode 405, and by removing this by the dry etching which has a perpendicular anisotropy etc., as shown in drawing 4 (d), sidewall 405c is formed in gate electrode 405 side wall. In addition, the source 408 and a drain 409 are formed by carrying out the ion implantation of the As (arsenic) by using the gate electrode 405 and sidewall 405c as a mask. Subsequently, a cobalt film is deposited at about 15nm of thickness on

the gate electrode 405 and the silicon substrate 401 containing sidewall 405c. Then, heating (RTA:Rapid Thermal Annealing) processing of these is carried out at about 500-600 degrees C. By this processing, silicide-ization takes place in the part where a silicon side and cobalt touch. Then, the unreacted cobalt on an insulator layer etc. is removed by the wet etching by the mixed liquor of a hydrochloric acid and a hydrogen peroxide. By next, RTA processing is carried out at the temperature beyond the above-mentioned heat treatment. Consequently, as shown in drawing 4 (d), the condition that the silicide layer 410 which consists of an alloy of silicon and cobalt was formed on the source 408 and a drain 409 at about 40-50nm of thickness is acquired.

[0066] Next, as shown in drawing 4 (e), the interlayer film 411 which consists of silicon oxide is formed.

[0067] Next, as shown in drawing 5 (f), contact holes 413a and 413b are formed in the predetermined location of the source 408 of the interlayer film 411, and the field on a drain 409 by the dry etching which used the resist pattern 412 as the mask. As shown in drawing 5 (g), contact hole 413c is formed in coincidence at the position on tungsten silicide 405b of an interlayer film 411.

[0068] Next, after performing APM washing (the 3rd washing production process) which added the chelating agent which contains SPM washing, EDTA, or its salt for a resist pattern 412 one by one and removing it, APM washing, diluted fluoric acid, etc. which added the chelating agent which includes the silicide layer 410 surface exposed to contact hole 413a and a 413b pars basilaris ossis occipitalis for EDTA or its salt wash. And by depositing the polish recon by which Lynn was doped alternatively on the exposed silicide layer 410, as shown in drawing 5 (h), a plug 414 is formed so that the inside of contact hole 413a and 413b may be embedded. Moreover, the plug 414 which consists of polish recon by which Lynn was doped so that it might connect with tungsten silicide 405b also on the gate electrode 405 in other fields, as shown in drawing 5 is formed.

[0069] Then, what is necessary is just to form each wiring which connects with a plug 414, for example, consists of tungsten silicide etc., for example, source electrode wiring, drain electrode wiring, etc., although not illustrated.

[0070] By the above explanation Although it was explained that the chelating agent contained EDTA or its salt, it is not limited to this and should just form the metal and complex which constitute silicide, such as Co. For example, amino polycarboxylic acid, such as ethylenediaminetetraacetic acid [EDTA], a transformer -1, and 2-diamino cyclohexane tetraacetic acid [CyDTA] An ethylenediamine tetrapod (methylene phosphonic acid) [EDTPO], ethylene JIAMINJI (methylene phosphonic acid) [EDDPO], Phosphonic acid, such as the NITORIRO [tris NTPO] (methylene phosphonic acid) 1-hydroxy ethylidene -1 and 1'-diphosphonic acid [HEDPO] Condensed phosphoric acid, such as the Tripoli phosphoric acid and hexametaphosphoric acid, an acetylacetone, Diketones, such as a hexafluoro acetylacetone, ethylenediamine, Compounds, such as inorganic ion, such as amines, such as triethanolamine, or halogenide ion (F-, Cl-, Br-, I-), cyanide ion, thiocyanic acid ion, thiosulfuric-acid ion, and ammonium ion, or such ammonium salt are mentioned. The chelating agent concerning this invention may be used independently, or two or more sorts, it may combine suitably and it may be used.

[0071] Consequently, also in the gestalt 2 of this operation, the same effect as the gestalt 1 of operation mentioned above is done so.

[0072] Thus, only in a gate electrode, the part of reliance silicide-ized by Co may be good, and may be only a source drain field, or may be both a gate electrode and a source drain field. Moreover, a gate electrode and a source drain field may not be the silicide of the same metal.

[0073]

[Effect of the Invention] As explained above, in this invention, it had the production process which performs APM washing which added the chelating agent containing EDTA or its salt in the manufacture method of the semiconductor device which washes the surface of the silicide formed on the silicon substrate. Consequently, it became possible to control sharply Co coating weight on the surface of a wafer by adding the chelating agent which contains EDTA or its salt in APM. It can use with the washing station which washes as a result the silicon substrate which silicide exposed, and the washing station with which minute amount metal contamination poses a problem and which washes the silicon

substrate before gate oxide formation, for example in common. Since a washing production process exists at various production processes also in one certain semiconductor device, this can realize number reduction of a washing station, reduction of the washing station space accompanying it, reduction of the amount of the washing drug solution used, and reduction of heating heater isoenergetic cost, when mass-producing a lot of semiconductor devices by the manufacturing installation of the same Rhine.

[0074] Furthermore, a logical circuit can realize high-speed operation, and since a memory circuit can reduce adhesion of an impurity, it can maintain a low leak property. Furthermore, since change does not arise in the resistance of CoSi<sub>2</sub> even if it heat-treats, when forming the capacitative element of DRAM, a working speed is maintainable. Moreover, since the electric resistance of CoSi<sub>2</sub> is small, even if it makes the silicide on a source drain thin, resistance comparable as WSi can be acquired. For this reason, since the diffusion layer of a source drain can be shallowly formed even if it makes a transistor detailed, the activation channel length of a transistor is securable. Consequently, carrying a memory circuit and a logical circuit in the same semiconductor device can be realized easily.

[0075]

---

[Translation done.]